

INTRODUÇÃO AOS CIRCUITOS INTEGRADOS SEMI-DEDICADOS DO TIPO "GATE-ARRAY"

T.F.COSTA *

SUMÁRIO

Neste trabalho procuramos apresentar uma visão geral do que são os circuitos integrados semi-dedicados do tipo "Gate-Array". A organização geral desses circuitos é apresentada, assim como a estrutura de algumas células mais comuns. Finalmente, um roteiro com as principais etapas de projeto é apresentado.

ABSTRACT

In this work we try to present an introduction to the semi-customs IC of the Gate-Array type. The organization of those circuits and the structure of some typical cells are presented. Finally, a description of the design process is also presented.

* Engenheiro Eletrônico (PUC-RJ,77) ; Projeto e Fabricação de Circuitos Integrados.

Laboratório de Microeletrônica da USP - Caixa Postal 8174.

01000 SÃO PAULO - SP - fone: (011) 815.93.22 ramal 310.

Até recentemente a norma em projetos de sistemas digitais era o uso de circuitos integrados (CI) de uso geral ou padrão. O uso de CI especialmente projetados, ou dedicados, era privilégio de alguns grandes fabricantes de sistemas, devido principalmente ao alto custo desses circuitos. No entanto, o grande desenvolvimento em processos de fabricação e recursos computacionais dos últimos anos favoreceu algumas opções de projeto que, tem contribuído para viabilizar o uso de CI dedicados com custos bem menores.

Na figura 1 apresentamos uma classificação dos CI em geral. Inicialmente, temos os CI de uso geral, integralmente projetados e construídos pelos fabricantes de semicondutores para serem comercializados em larga escala. A seguir, temos os CI programáveis, também projetados e comercializados em larga escala pelos fabricantes mas podendo ser personalizados pela programação de curtos ou abertos em determinados nós do circuito. Essa personalização pode ser feita durante a fabricação, na etapa de metalização, ou pelo próprio usuário, através da queima seletiva de fusíveis embutidos no circuito. Finalmente, temos os CI dedicados que, são circuitos projetados para uma função específica e destinados a um único usuário.

Os CI dedicados se dividem em dois tipos: os semi-dedicados e os sob-medida. Os circuitos sob-medida são integralmente projetados para determinada função e normalmente procura-se obter o máximo de desempenho na menor área possível. Envolve portanto, um custo de projeto muito alto em tempo e reursos. Por outro lado, os semi-dedicados constituem opções de projeto que procuram reduzir o alto custo do CI dedicados, limitando a complexidade de do projeto.

Os semi-dedicados também se dividem em dois tipos, os prê-fabricados e os prê-caracterizados. Os prê-fabricados são circuitos constituídos de arranjos de componentes prê-definidos e prê-fabricados que podem ser interligados para realizar uma função determinada. Dependendo do tipo de componentes esses arranjos são preferencialmente usado em aplicações lineares ou digitais. Os CI prê-caracterizados são circuitos projetados com um conjunto restrito de funções previamente projetadas e caracterizadas.

Os semi-dedicados prê-fabricados são comumente chamados de arranjos ("Arrays") lineares ou lógicos. Os nomes mais conhecidos são "Linear Arrays", "Gate-Array" (GA), "Master-Slice" e "Uncommitted Logic Array" (ULA).

As vantagens dos circuitos do tipo GA em relação aos outros tipos de dedicados podem ser resumidas em:

- . maior rapidez de projeto e menores custos ;
- . maiores chances de sucesso na primeira tentativa ;
- . aproveitamento da economia de escala em quase toda a fabricação ;

Como desvantagens temos:

- . circuitos de menor desempenho (por usar estruturas pré-fabricadas)
- . menor eficiência no aproveitamento de área (circuitos maiores)

TIPOS DE ORGANIZAÇÃO DE GATE-ARRAY:

O projeto de circuitos com Gate-Array é baseado na utilização de um conjunto restrito de componentes agrupados em células dispostas em um arranjo regular e que passaram por todas as etapas de fabricação, exceto as etapas finais de interconexão. A personalização do circuito é obtida finalizando a fabricação com uma ou mais máscaras de metalização, sendo a interconexão de células e componentes determinada pela função a ser realizada. Na figura 2, temos um GA antes e depois da personalização (ref.6).

Existem muitas maneiras diferentes de arranjar as células em um GA (ref.1). As opções mais comuns são mostradas na figura 3. Em um arranjo de blocos, como o da figura 3.a, temos as células dispostas em uma matriz. O espaço entre as células é reservado para a passagem de tiras de interconexão e é comumente chamado de canal de interconexão. No arranjo em fileiras da figura 3.b, as células são colocadas lado a lado, em linha ou coluna, eliminando os canais entre células de uma mesma fileira. Finalmente, no arranjo mais compacto da figura 3.c, as células encaixam uma na outra e os canais são eliminados. Nesse caso, as interligações passam necessariamente através da própria célula. Podemos observar que, nos três casos temos um núcleo de células envolvido por uma periferia e, que, esta também está dividida em células. A função das células de periferia é realizer a interface entre as células internas e o meio externo. Normalmente, são projetadas para trabalhar em níveis de potência bastante superiores ao das células internas, sendo também responsáveis pela compatibilização do circuito interno com as diversas famílias tecnológicas existentes (TTL, ECL, CMOS).

Em geral, dispomos de dois níveis de interconexão para a interligação das células e componentes. O primeiro nível pode ser de difusão ou silício policristalino, mas o segundo é sempre metal (alumínio). Como o metal apresenta condutividade muito superior, procura-se utilizá-lo sempre que possível, deixando o primeiro nível de interconexão apenas para os casos estritamente necessários. Nos GA com arranjos em blocos ou fileiras, as interligações que passam através dos canais são dispostas de forma tal que,

as de um nível sejam ortogonais as do outro, de modo a facilitar o roteamento. Nos GA com arranjo compacto também dispomos de dois níveis, mas as interconexões devem passar através das próprias células e, o roteamento é bem mais complicado que nos casos anteriores. Nos últimos anos aumentou bastante o número de GA com mais de um nível de metal, principalmente entre os bipolares. Um nível adicional de interconexão alivia bastante o problema de roteamento, além de permitir melhorar o desempenho do circuito. No entanto, envolve um processo de fabricação mais complexo e aumenta o número de máscaras de personalização. Enquanto para uma camada de metal uma máscara é suficiente para personalizar um circuito, para dois níveis de metal precisamos de três máscaras, uma para cada nível e uma terceira para as vias de contato entre os dois metais.

Existem GA que não seguem nenhum dos arranjos anteriores mas costumam ter sua área dividida em um certo número de regiões e, cada região tem um conjunto de componentes e arranjo específico. Assim, podemos ter uma região com células dedicadas à implementação de funções especiais, como registradores e memórias. Em alguns casos temos uma ou mais regiões dedicadas à implementação de funções lineares enquanto outras são dedicadas às funções digitais. Outros, adotam um arranjo semelhante ao de fileiras, porém com canais principais, mais largos, separando grupos de fileiras separadas entre si por canais secundários, mais estreitos.

A CÉLULA DO GA

Em geral, as interligações dos componentes que constituem a célula não são totalmente pré-definidas. Faz parte do processo de personalização do circuito a finalização dessas ligações. Assim, o projetista dispõe da possibilidade de, dependendo do caso, determinar a função lógica de cada célula ou pelo menos, algumas de suas características, tais como: número de entradas ou o nível de potência. A estrutura interna da célula é função da família tecnológica e da arquitetura do GA. Existem GA em praticamente todas as famílias tecnológicas e, descrever todas as configurações utilizadas em cada família, ocuparia espaço muitas vezes superior aos limites desse trabalho. Vamos portanto, nos limitar a discorrer brevemente sobre as principais configurações:

- A CÉLULA ECL

O circuito básico de uma célula ECL, figura 4, corresponde a uma porta OR/NOR com saídas complementares (ref-1,7). O funcionamento desse circuito baseia-se em que a corrente I é desviada do transistor T_r para os transistores T_A , T_B e T_C quando o nível da tensão na base desses transistores

passa de um valor inferior a V_{ref} (nível "0") para um valor superior a V_{ref} (nível "1"). O circuito é projetado para trabalhar sempre não-saturado e, em consequência, caracteriza-se por uma alta velocidade e um alto consumo de potência.

Na figura 5, temos alguns exemplos de células ECL práticas (ref.7 a 11) . A configuração exata da célula varia bastante, principalmente no que se refere ao número de transistores de entrada. É comum acrescentar seguidores de emissor à célula básica, a fim de compatibilizar os níveis de saída com os necessários na base dos transistores de entrada. Outra variação comum é a implementação da fonte de corrente com um transistor polarizado por uma tensão de referência adicional.

Uma característica do circuito ECL é a utilização de pelo menos uma tensão de referência. Essa tensão é normalmente derivada da tensão de alimentação principal através de geradores de tensão distribuídos entre as células. Uma configuração comum é agrupar duas ou mais células em torno desses geradores. Daí, é comum adotar-se para o GA ECL um arranjo em blocos.

- A CÉLULA CMOS

Na figura 6, apresentamos o circuito básico de uma porta lógica CMOS. O princípio de funcionamento desse circuito consiste no fato de que em nenhum momento existe um caminho contínuo entre VCC e TERRA. Sempre que um dos T_p estiver acionado pelo menos um dos T_n estará cortado. Assim, a capacitância de carga C_g é conectada à TERRA ou VCC em função das entradas A e B. Como sô existe fluxo de corrente nos momentos de carga e descarga o consumo estático é desprezível.

A configuração típica de uma célula de GA CMOS é de pelo menos dois pares de transistores complementares com grade, dreno e fonte flutuantes. Como uma característica dos circuitos MOS é o uso intensivo de portas de transmissão convém que pelo menos um dos pares tenha grade independente. Com essa configuração, podemos implementar inversores, portas lógicas NAND / NOR ou portas de transmissão. Na figura 7, temos alguns exemplos típicos de células CMOS (ref.12 e 18). Pode-se observar que são muito semelhantes entre si, divergindo apenas quanto ao número de pares de transistores e, quanto aos transistores de grade comum. Essas configurações geram normalmente arranjos em fileiras, mas também existem variações adaptadas para GA com arranjos mais compactos.

O projeto de circuitos com GA mantém muita semelhança com o projeto com CI padrão. Na verdade, esse é um dos principais fatores de sua popularidade. No entanto, a decisão de utilizar um GA, ou outro CI dedicado, deve resultar de uma análise cuidadosa das especificações funcionais e de desempenho do sistema e, de considerações de custo, confiabilidade e mercado. Como essa análise foge ao escopo desse trabalho, consideraremos apenas que ela foi realizada e que, concluiu-se pela utilização de um GA para implementação de parte do sistema.

A seguir é preciso decidir pela opção tecnológica mais conveniente. Alguns dos principais critérios de escolha são:

- . a frequência de trabalho do circuito (ligada ao atraso típico da porta);
- . a potência máxima consumida e/ou dissipada ;
- . as especificações de entrada e saída (níveis de corrente e tensão) ;
- . faixa de tensão de alimentação ;
- . nível de integração necessário (número de portas).

Na figura 8, mostramos um gráfico das faixas de integração x atraso típico de porta das principais famílias tecnológicas. Na Tabela 2, temos alguns dados típicos de cada uma dessas famílias (ref. 20 a 24).

Após ter determinado a opção tecnológica, mais conveniente, devemos definir que GA iremos utilizar. Além dos critérios de desempenho, supostamente atendidos, influenciam nessa decisão critérios bastante diversos, tais como: a variedade de opções de número de portas e E/S, a qualidade da biblioteca de funções, a disponibilidade de recursos de CAD e a disponibilidade do fornecedor.

Selecionado o GA, devemos gerar um esquema lógico adequado ao GA escolhido, utilizando as células disponíveis na Biblioteca de Funções. A seguir, o esquema resultante deve ser verificado. No projeto de um CI, a montagem do protótipo com CI padrão pode ajudar mas não é suficiente, dada a grande diferença de condições. O recurso mais comum é a utilização de programas simuladores. A simulação pode ser realizada em vários níveis. O primeiro é a simulação lógica simples, usada para verificar a coerência lógica do circuito, sem considerações de tempos. Se o circuito passar nessa primeira verificação, pode-se proceder a uma simulação lógica mais completa atribuindo atrasos convenientes aos blocos lógicos. Finalmente, para caminhos mais críticos pode-se realizar uma simulação mais detalhada, ao nível do circuito. É interessante observar que, nesse ponto a influência das interconexões no atraso de cada bloco ainda não é conhecida e de

ve portanto ser estimada. Após a realização do leiaute essas estimativas podem ser reavaliadas e, se necessário, a simulação pode ser refeita.

Estando o esquema lógico verificado e aprovado é preciso realizar então o leiaute da(s) máscara(s) de personalização. Nos primeiros GA, esse leiaute era feito manualmente com auxílio de folhas pré-impressas e decalques com as interligações das funções da biblioteca. Antes de iniciar o desenho das interconexões os decalques correspondentes às funções eram distribuídos convenientemente pelas células. Atualmente, o procedimento mais comum é entrar com a descrição do sistema lógico, em alguma linguagem adequada, em um sistema de PAC e, utilizar programas especiais para calcular a distribuição de função mais conveniente e, determinar o melhor caminho ou roteamento das interligações. É verdade que, normalmente esses programas não são 100% eficientes e muitas vezes deixam ligações incompletas e que, devem ser terminadas à mão. Mesmo quando não se tem esses programas ou, quando não se deseja utilizá-los, podemos fazer o posicionamento das células e roteamento manual através do computador, sem necessidade das folhas pré-impressas e decalques.

No caso do posicionamento e roteamento (PeR) automático não precisamos verificar o leiaute para nos certificarmos, de que ele corresponde verdadeiramente ao esquema lógico e, de que não foram violadas regras do leiaute.

No caso de PeR manual essa verificação precisa ser feita.

É preciso notar que os fornecedores/fabricantes de GA normalmente oferecem a possibilidade do cliente entregar o projeto em diversos pontos dessa sequência. Por exemplo:

- . após a especificação funcional ou projeto lógico. Nesse caso o fornecedor do GA se responsabiliza pela adaptação do projeto ao GA e pela subsequente fabricação e testes ;
- . após a realização do leiaute, que é então transmitido ao fornecedor em fita magnética ou através de linha de comunicação.

É claro que, quanto mais cedo na sequência entregar o projeto ao fornecedor maior será o custo. Por outro lado, menor será seu envolvimento com as atividades específicas do projeto de CI. Na figura 9, mostramos um roteiro das etapas de projeto com os pontos de transferência para o fornecedor do GA.

CARACTERÍSTICAS	USO GERAL	PROGRAMÁVEIS	DEDICADOS		
			SEMI-DEDICADOS		SOB-MEDIDA
			PRÉ-FABRICADOS	PRÉ-CARACTERIZADOS	
Flexibilidade de Personalização	Não existe	Limitada	boa	alta	total
Prazo de Desenvolvimento	-	Dias	1 a 4 meses	3 a 6 meses	1 a 2 anos
Custo de Desenvolvimento (K\$)	-	-	5 a 40	30 a 90	50 a 500
Riscos de Fracasso	-	Muito pequeno	baixo	médio	alto
Facilidade de Alterações	-	Muito fácil, prazo e custo mínimos	Fácil com prazo e custo razoáveis	fácil com prazo e custo um pouco maiores	difícil, demorado e caro
Quantidades típicas	1 a 100000	1 a 100000	> 1000	> 20000	> 70000

Tabela 1 - Classificação e Características dos CI

TECNOLOGIA	NÚMERO DE PORTAS	NÚMERO DE ENTR./SAÍDAS	POTÊNCIA (mW/PORTA)	ATRASSO (ns)	FREQUÊNCIA MÁXIMA (MHz)	COMPATIBILIDADE DE E/S
CMOS	200 - 10000	24 - 180	0.003-0.05/MH	1 - 10	10 - 100	MOS-TTL-LS
ECL	100 - 3000	24 - 180	2 - 5	0.3 - 1.5	200 - 700	ECL-LS
I ² L	200 - 19000	30 - 140	0 - 1	10 - 50	2 - 20	LS- TTL
TTL	200 - 3000	30 - 150	1 - 20	2 - 6	20 - 80	TTL-LS

Tabela 2 - Parâmetros típicos de GAs nas principais tecnologias

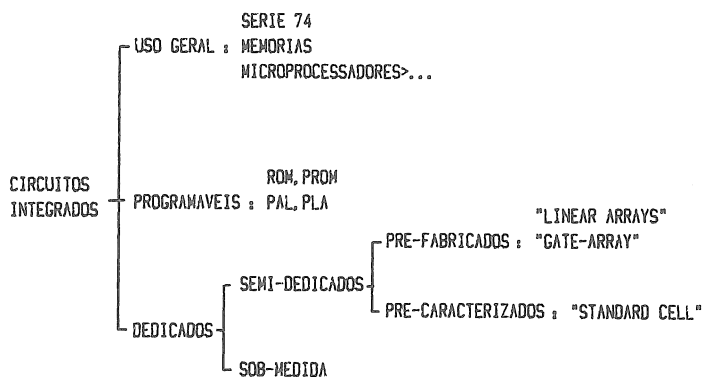


FIGURA 1.- CLASSIFICAÇÃO GERAL DOS CIRCUITOS INTEGRADOS

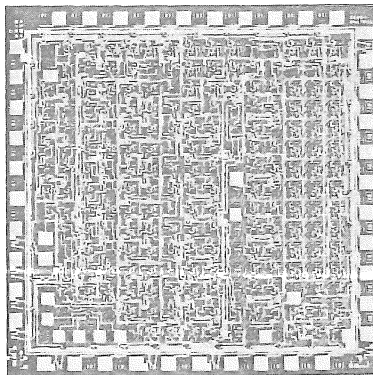
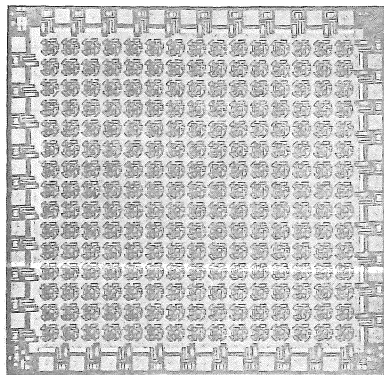
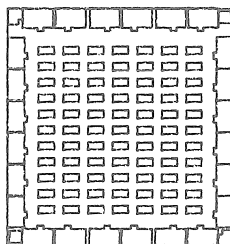
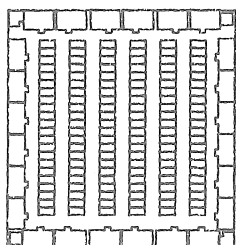


FIGURA 2.- UM "GATE-ARRAY" ANTES E DEPOIS DA PERSONALIZAÇÃO (ref. 6)

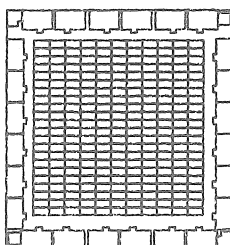
FIGURA 3
TIPOS DE ARRANJOS



A) EM BLOCOS



B) EM FILEIRAS



C) COMPACTO

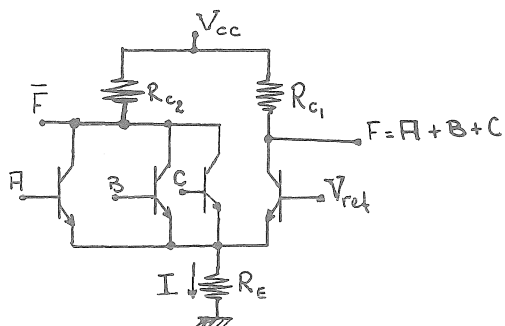


FIGURA 4.- CIRCUITO BASICO ECL

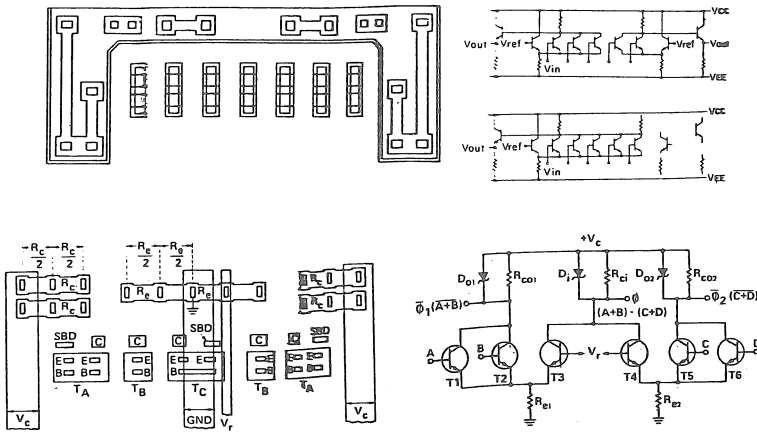


FIGURA 5.- EXEMPLOS DE LAYOUT E CONFIGURAÇÃO DE CELULAS ECL (ref. 7-11)

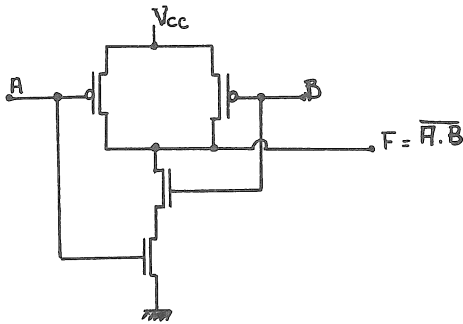


FIGURA 6.- CIRCUITO BASICO CMOS

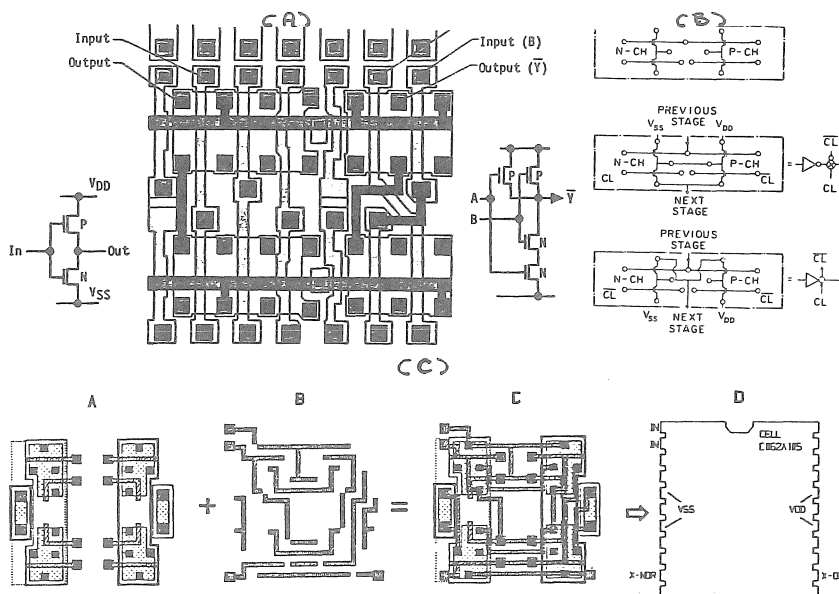
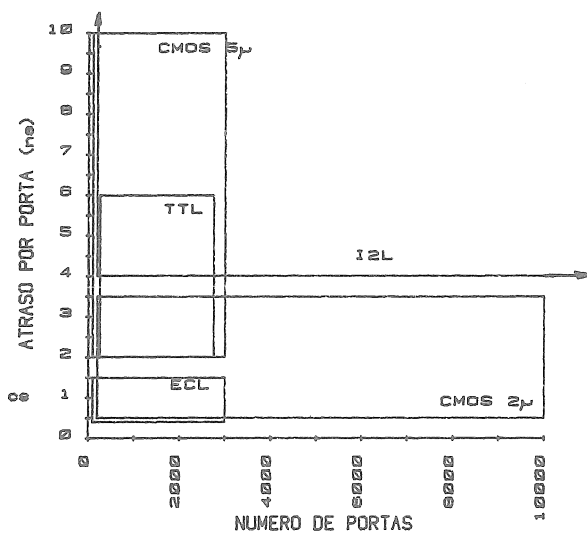


FIGURA 7.- EXEMPLOS DE LAYOUT E CONFIGURAÇÃO DE CELULAS CMOS (ref. 12-24)

FIGURA 8.- GRAFICO DENSIDADE x ATRASO



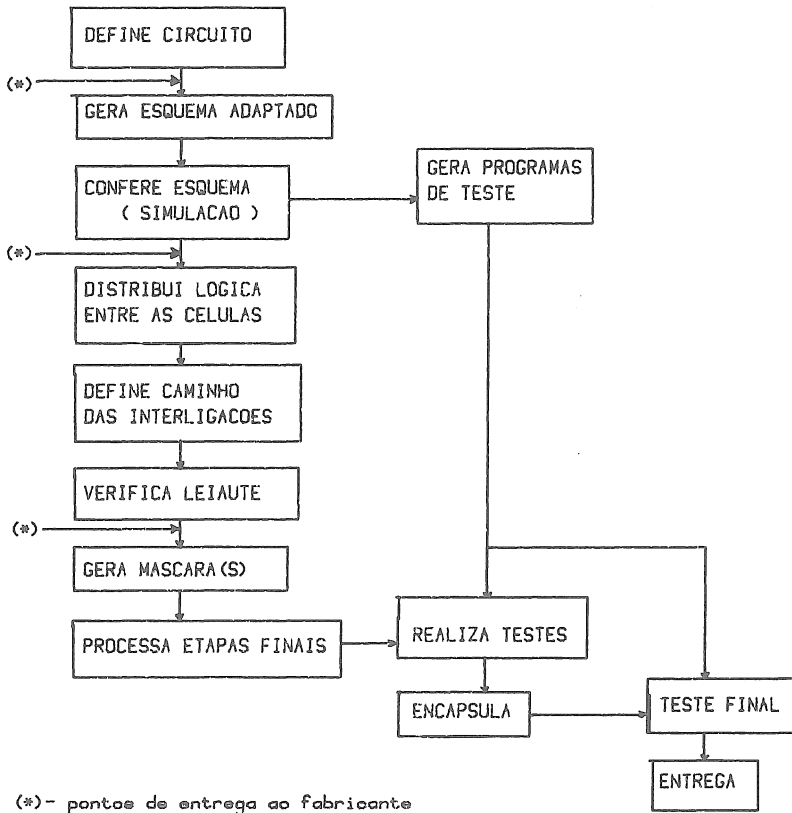


FIGURA 9.- ROTEIRO DE PROJETO COM GATE-ARRAYS

1. An Overview of Semi-Custom IC Technologies - Tutorial Session
P.Hicks
Second International Conference on Semi-Customs, London,
2. Custom-Semicustom Business Report
S.Z.Szirom
VLSI Design, Jan/Feb. 82.
3. Custom Electronics - Product Focus
Electronic Engineering, Jul. 82.
4. Semi-Custom Circuits Arrive
J.Bond
Computer Design, March 84.
5. Les Circuits a la Demande Envahissent tous les domaines de l'electronique
Mesures, 18 fevrier 1985.
6. Changing Economics in Custom ICs - Special Report
Electronics Engineering, mid-may 78.
7. A 1500 Gate, Random Logic, Large-Scale Integrated (LSI) Master Slice
R.J.Blemberg e S.Brenner
IEEE J.Solid State Circ., SC-14, nº 5, Oct.79.
8. A Bipolar 2500 Gate Subnanosecond Masterslice LSI
M.Nakaya et al
IEEE J.Solid State Circ., SC-16, nº 5, Oct.81.
9. A Subnanosecond 2000 Array with ECL 100K Compatibility
F.Sato et al
IEEE J.Solid State Circ., SC-19, Feb.84.
10. Projeto de um Gate-Array ECL de Lógica de Dois Níveis
M.Moraes
Dissertação de Mestrado, EPUSP, 83.
11. Projeto de um Gate-Array ECL de Lógica Empilhada
M.Friedel
Dissertação de Mestrado, EPUSP, 83.
12. Introduction to MOS LSI Design
J.Mavor, M.A.Jack e P.B.Denyer
Addison Wesley Pub.Co., 1983.
13. Designing with Gate-Arrays
AMI
Electronic Engineering, Mar/April/May-82.
14. CMOS/SOS Automated Universal Array
F.Borgini e B.Suskind
IEEE J.Solid State Circ., SC-16, Oct.81.
15. A CMOS/SOS Gate-Array with a New Customization Technique of Cutting
N.Sasaki e M.Nakano
IEEE Trans. Electron Devices, ED-29, Oct.82.

16. A 6K Gate CMOS Gate-Array
H.Tazo et al
IEEE J.Solid State Circ., SC-17, Oct.82.
17. A CMOS 5000 Gate-Array
J.Duhachek e W.N.Heikkila
Journal of Semi-Custom IC, Vol.1 , nº 1, 83.
18. An Advanced ISO-HCMOS ULA of Semi-Custom Applications
F.Marquis e C.Groves
Journal of Semi-Custom IC, Vol.1 , nº 1, 83.
19. Uma Matriz de Portas C^2L
T.Costa e L.C. Molina Torres
IV Simpósio Brasileiro de Microeletrônica, São Paulo, 1984.
20. Projeto de Circuitos Integrados Semi-Dedicados CMOS
L.O. Fontenelle Gonçalves
IV Simpósio Brasileiro de Microeletrônica, São Paulo, 1984.
21. Changing Patterns in Customs ICs Alter Design Bondaries
D. Eidsmore
Computer Design, Feb. 83.
22. Design Guides to Gate-Arrays
D. Eidsmore
Digital Design, May 83.
23. EDN Semi-Custom IC Design Series
A.Rappaport
EDN, Sept.1, 1983
24. EDN Semi-Custom IC Directory
A. Rappaport
EDN, Feb. 17, 1983.
EDN. Feb. 23, 1984.